

Family list

1 family member for:

JP2002189447

Derived from 1 application.

**1 ELECTROLUMINESCENCE ELEMENT AND DEVICE AND THEIR
MANUFACTURING METHOD**

Publication Info: **JP2002189447 A** - 2002-07-05

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189447

(43)Date of publication of application : 05.07.2002

(51)Int.CI.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2001-305408

(71)Applicant : CANON INC

(22)Date of filing : 10.06.1997

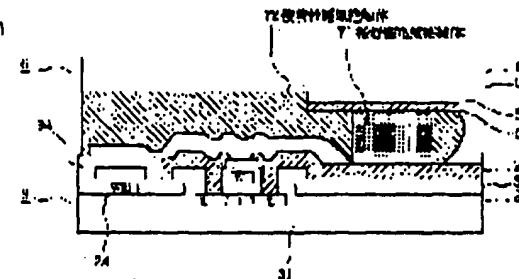
(72)Inventor : KURIBAYASHI MASAKI
TSUZUKI EIJI
UENO KAZUNORI
HASHIMOTO YUICHI
SENOO AKIHIRO

(54) ELECTROLUMINESCENCE ELEMENT AND DEVICE AND THEIR MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To active matrix driving EL elements and their device in which highly precise, high density and long and continuous high luminance light emitting large size color display are realized and to provide their manufacturing method.

SOLUTION: A transistor substrate is provided with drain electrode pads connected to every drain of thin film transistors and capacitors connected to these pads. An electroluminescence substrate is provided with electroluminescence bodies arranged in a pair of electrodes and between a pair of electrodes. The thin film transistor substrate and the electroluminescence substrate are orientation arranged so that the pads and the bodies are made opposing to each other and the pads and one of the pair electrodes are connected through an adhesive electric connecting body to make up an electroluminescence element.



LEGAL STATUS

[Date of request for examination] 01.10.2001

[Date of sending the examiner's decision of rejection] 12.07.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

公開特許公報 (A)

(11)特許出願公開番号

特開2002-189447

(P 2 0 0 2 - 1 8 9 4 4 7 A)

(43)公開日 平成14年7月5日(2002.7.5)

(51) Int.CI.	識別記号	F I	テ-7コ-ト (参考)
G09G 3/30		G09G 3/30	J 3K007
3/20	624	3/20	B 5C080
	680		H
H05B 33/14		H05B 33/14	A

審査請求 有 請求項の数28 O L (全16頁)

(21)出願番号 特願2001-305408(P 2001-305408)
(62)分割の表示 特願平9-152309の分割
(22)出願日 平成9年6月10日(1997.6.10)

(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 栗林 正樹
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 都築 英寿
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(74)代理人 100090538
弁理士 西山 恵三 (外1名)

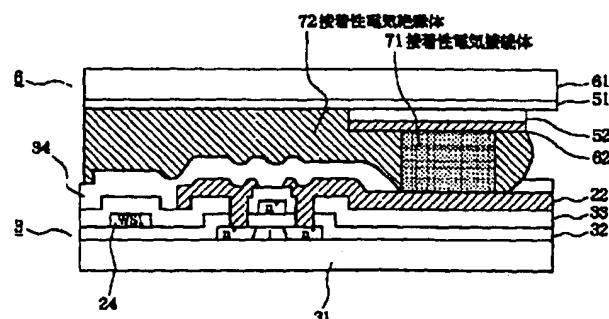
最終頁に続く

(54)【発明の名称】エレクトロ・ルミネセンス素子及び装置、並びにその製造法

(57)【要約】

【課題】 高精細、高密度、長時間の連続高輝度発光の大型カラーディスプレイを実現させるアクティブマトリクス駆動用EL素子及び装置、並びにその製造法を提供すること。

【解決手段】 薄膜トランジスタの各ドレイン毎に接続したドレイン電極パッド、及び該ドレイン電極パッドに接続したコンデンサを備えたトランジスタ基板、並びに複数の行及び列に沿って配置し、一対の電極及び該一対の電極間に配置したエレクトロ・ルミネセンス体を備えたエレクトロ・ルミネセンス基板を有し、ドレイン電極パッドとエレクトロ・ルミネセンス体とが対向する様に、薄膜トランジスタ基板とエレクトロ・ルミネセンス基板とを配向配置し、ドレイン電極パッドと一対の電極の一方の電極とを接着性電気接続体を通して接続してなるエレクトロ・ルミネセンス素子。



【特許請求の範囲】

【請求項1】 複数の行及び列に沿って配置した第1スイッチング素子、行毎に、行上の複数の第1スイッチング素子の第1端子を共通に接続した第1配線、列毎に、列上の複数の第1スイッチング素子の第2端子を共通に接続した第2配線、第1スイッチング素子の各第3端子毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、各第3端子毎に接続したコンデンサ、エレクトロ・ルミネセンス要素の一方の電極と第1スイッチング素子の第3端子間に設けた第2スイッチング素子、エレクトロ・ルミネセンス要素の一方の電極に接続した第3配線、該第3配線中に設けた第3スイッチング素子、並びに、所定行の第1配線に第1スイッチング素子をオンとするための第1オン信号パルスを印加し、他行の第1配線に第1スイッチング素子をオフとするための第1オフ信号パルスを印加し、第1オン信号パルスに同期させて第2配線に情報に応じた順バイアスの情報信号パルスを印加し、前記所定行のための第1オンパルス印加時、その前で、又はその後で第2スイッチング素子をオンとするための第2オン信号パルスを第2スイッチング素子の制御線に所定期間にわたって印加し、これによって、該行上の各エレクトロ・ルミネセンス体への書き込みを作動させ、そして、該所定期間に後第2スイッチング素子をオフとするための第2オフ信号パルスを該制御線に印加し、該第2オフ信号パルス印加時、その前で、又はその後で第3スイッチング素子をオンとするための第3オン信号パルスを第3スイッチング素子の制御線に印加し、これによって、前記第3配線とエレクトロ・ルミネセンス要素の他方の電極との間で逆バイアス電圧が印加される様に設定していた逆バイアス印加手段を作動させる駆動手段を有するエレクトロ・ルミネセンス装置。

【請求項2】 前記エレクトロ・ルミネセンス体は、青色、緑色及び赤色の三原色を発光する媒体を備えたことを特徴とする請求項1記載のエレクトロ・ルミネセンス装置。

【請求項3】 前記エレクトロ・ルミネセンス体は、青色、緑色及び赤色の三原色を発光する有機物質媒体を備えたことを特徴とする請求項1記載のエレクトロ・ルミネセンス装置。

【請求項4】 前記第1、第2及び第3スイッチング素子は、薄膜トランジスタであることを特徴とする請求項1記載のエレクトロ・ルミネセンス装置。

【請求項5】 前記第1、第2及び第3スイッチング素子は、薄膜トランジスタで、前記第1端子は、ゲート端子で、前記第2端子はソース端子で、前記第3端子はドレイン端子であることを特徴とする請求項1記載のエレクトロ・ルミネセンス装置。

4~3/4の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項7】 前記所定期間は、一垂直走査期間の1/3~2/3の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項8】 前記所定期間は、一垂直走査期間の約1/2の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項9】 前記所定期間は、一フレーム期間又は一フィールド期間の1/4~3/4の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項10】 前記所定期間は、一フレーム期間又は一フィールド期間の1/3~2/3の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項11】 前記所定期間は、一フレーム期間又は一フィールド期間の約1/2の期間である請求項1記載のエレクトロ・ルミネセンス装置。

【請求項12】 前記順バイアス電圧と逆バイアス電圧との時間平均電圧は、約零に設定されている請求項1記載のエレクトロ・ルミネセンス装置。

【請求項13】 複数の行及び列に沿って配置した第1薄膜トランジスタ、行毎に、行上の複数の第1薄膜トランジスタのゲートを共通に接続した第1配線、列毎に、列上の複数の第1薄膜トランジスタのソースを共通に接続した第2配線、第1薄膜トランジスタの各ドレイン毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、該ドレインと該エレクトロ・ルミネセンス要素の一方の電極との間に設けられ、

30 ゲートで接続した第2薄膜トランジスタ、各ドレイン毎に接続したコンデンサ、エレクトロ・ルミネセンス要素の一方の電極と第2薄膜トランジスタのドレイン端子との間に設けた第1スイッチング素子、エレクトロ・ルミネセンス要素の一方の電極に接続した第3配線、該第3配線中に設けた第2スイッチング素子、並びに、所定行の第1配線に第1薄膜トランジスタをオンとするための第1オン信号パルスを印加し、他行の第1配線に第1薄膜トランジスタをオフとするための第1オフ信号パルスを印加し、第1オン信号パルスに同期させて第2配線に情報に応じた順バイアスの情報信号パルスを印加し、前記所定行のための第1オン信号パルス印加時、その前

40 で、又はその後で第1スイッチング素子をオンとするための第2オン信号パルスを第1スイッチング素子の制御線に所定期間にわたって印加し、これによって、該行上の各エレクトロ・ルミネセンス体への書き込みを作動させ、そして、該所定期間に後第1スイッチング素子をオフとするための第2オフ信号パルスを該制御線に印加し、該第2オフ信号パルス印加時、その前で、又はその
絞り等 2 フ ノ エ ノ グ ハ エ ハ ナ ノ レ オ エ ハ ハ ノ ル 2 ハ ハ

これによって、前記第3配線とエレクトロ・ルミネセンス要素の他方の電極との間で逆バイアス電圧が印加される様に設定していた逆バイアス印加手段を作動させる駆動手段を有するエレクトロ・ルミネセンス装置。

【請求項14】 前記エレクトロ・ルミネセンス体は、青色、緑色及び赤色の三原色を発光する媒体を備えたことを特徴とする請求項13記載のエレクトロ・ルミネセンス装置。

【請求項15】 前記エレクトロ・ルミネセンス体は、青色、緑色及び赤色の三原色を発光する有機物質媒体を備えたことを特徴とする請求項13記載のエレクトロ・ルミネセンス装置。

【請求項 16】 前記第 1 及び第 2 スイッチング素子は、薄膜トランジスタであることを特徴とする請求項 13 記載のエレクトロ・ルミネセンス装置。

【請求項17】 前記第2薄膜トランジスタのソースと前記コンデンサの一方の電極とは、同一電圧に設定されている請求項13記載のエレクトロ・ルミネセンス装置。

【請求項18】 前記第2薄膜トランジスタのソースと前記コンデンサの一方の電極とは、第4配線で接続され、該第4配線に電圧を印加する手段を有している請求項13記載のエレクトロ・ルミネセンス装置。

【請求項19】 前記所定期間は、一垂直走査期間の1／4～3／4の期間である請求項13記載のエレクトロ・ルミネセンス装置。

【請求項20】 前記所定期間は、一垂直走査期間の1／3～2／3の期間である請求項13記載のエレクトロ・ルミネセンス装置。

【請求項21】 前記所定期間は、一垂直走査期間の約1/2の期間である請求項10記載のエレクトロ・ルミネセンス装置。

【請求項22】 前記所定期間は、一フレーム期間又は
一フィールド期間の $1/4$ ～ $3/4$ の期間である請求項
13記載のエレクトロ・ルミネセンス装置。

【請求項23】 前記所定期間は、一フレーム期間又は
一フィールド期間の $1/3$ ～ $2/3$ の期間である請求項
13記載のエレクトロ・ルミネセンス装置。

【請求項24】 前記所定期間は、一フレーム期間又は
一フィールド期間の約1/2の期間である請求項13記
載のエレクトロ・ルミネセンス装置。

【請求項25】 前記順バイアス電圧と逆バイアス電圧との時間平均電圧は、約零に設定されている請求項13記載のエレクトロ・ルミネンス装置。

【請求項26】 複数の行及び列に沿って配置したスイッチング素子、行毎に、行上の複数のスイッチング素子の第1端子を共通に接続した第1配線、列毎に、列上の複数のスイッチング素子の第2端子を共通に接続した第2配線、二つの配線の接続部に接続する複数の端子を有する

設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、並びに前記複数の行のうち少なくとも1つの行を選択する走査選択パルスを、その選択された行に対応する第1配線に印加し、走査選択信号に同期させて第2配線に情報に応じ、エレクトロ・ルミネセンス体に対して順バイアス状態を生じさせる情報信号パルスを、第2配線毎に印加し、前記選択された行に対応する第1配線への次の走査選択信号又は、その後の走査選択信号の印加の開始前で、エレクトロ・ルミネセンス体に対して逆バイアス状態を生じさせるバイアス電圧を、第3配線を通して、該エレクトロ・ルミネセンス体に印加する駆動手段を有するエレクトロ・ルミネセンス装置。

【請求項27】 前記第3端子は、コンデンサを接続させている請求項26記載のエレクトロ・ルミネセンス装置。

【請求項28】 前記順バイアスと逆バイアスとの時間平均電圧は、約零に設定されている請求項26記載のエレクトロ・ルミネセンス装置。

【発明の詳細な説明】

{0 0 0 1}

【発明の属する技術分野】本発明は、表示装置、発光光源又は電子写真プリンタのプリンタ・ヘッドに適用可能なエレクトロ・ルミネセンス素子及び装置、並びにその製造法に関する。特に、本発明は、大画面のフルカラー表示に適した有機エレクトロ・ルミネセンス体を用いた素子及び装置、並びにその製造法に関する。

[0 0 0 2]

【従来の技術】有機エレクトロ・ルミネセンス体として、例えば特開平6-256759号公報、特開平6-136360号公報、特開平6-188074号公報、特開平6-192654号公報や特開平8-41452号公報に開示されたものが知られている。

[0003]

ンス体は、例えば特開平8-241048号公報に記載の薄膜トランジスタによって駆動することが知られている。

[0 0 0 4]

【発明が解決しようとする課題】しかしながら、有機EL
40 レクトロ・ルミネセンス体を薄膜トランジスタによって
駆動するために、薄膜トランジスタのドレイン電極パッ
ド毎に有機エレクトロ・ルミネセンス体を設けることを
必要とし、特にフルカラー表示の場合には、青色、緑色
及び赤色の三原色をエレクトロ・ルミネセンス発光させ
る3種のエレクトロ・ルミネセンス体を薄膜トランジス
タ基板上で、パターニング形成することが必要であった
が、薄膜トランジスタ表面は、エレクトロ・ルミネセン
ス体薄膜と比較し、大きい凹凸面を形成しているため、

基板上にトランジスタとエレクトロ・ルミネセンス体との2種の機能素子を集中させたことに基づく低レベルの生産性に問題点を持っていた。

【0005】また、有機エレクトロ・ルミネセンス体は、長時間の直流電圧の印加によって、連続発光時間が短縮される問題点を生じていた。特に、特開平8-241048号公報等に開示の薄膜トランジスタによって駆動する場合では、有機エレクトロ・ルミネセンス体に直流電圧が印加され続けてしまい、有機エレクトロ・ルミネセンス体の劣化を早めてしまう問題点を生じていた。

【0006】本発明の目的は、上記問題点を解決する大画面のフルカラー表示に適した有機エレクトロ・ルミネセンス体を用いた素子及びその製造法を提供することにある。

【0007】また、本発明の目的は、長時間の連続発光を可能にしたエレクトロ・ルミネセンス装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の特徴を記す。第1に、複数の行及び列に沿って配置した第1スイッチング素子、行毎に、行上の複数の第1スイッチング素子の第1端子を共通に接続した第1配線、列毎に、列上の複数の第1スイッチング素子の第2端子を共通に接続した第2配線、第1スイッチング素子の各第3端子毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、各第3端子毎に接続したコンデンサ、エレクトロ・ルミネセンス要素の一方の電極と第1スイッチング素子の第3端子間に設けた第2スイッチング素子、エレクトロ・ルミネセンス要素の一方の電極に接続した第3配線、該第3配線中に設けた第3スイッチング素子、並びに、所定行の第1配線に第1スイッチング素子をオンとするための第1オン信号パルスを印加し、他行の第1配線に第1スイッチング素子をオフとするための第1オフ信号パルスを印加し、第1オン信号パルスに同期させて第2配線に情報に応じた順バイアスの情報信号パルスを印加し、前記所定行のための第1オン信号パルス印加時、その前で、又はその後で第1スイッチング素子をオンとするための第2オン信号パルスを第2スイッチング素子の制御線に所定期間にわたって印加し、これによって、該行上の各エレクトロ・ルミネセンス体への書き込みを作動させ、そして、該所定期間に第2スイッチング素子をオフとするための第2オフ信号パルスを該制御線に印加し、該第2オフ信号パルス印加時、その前で、又はその後で第2スイッチング素子をオンとするための第3オン信号パルスを第3スイッチング素子の制御線に印加し、これによって、前記第3配線とエレクトロ・ルミネセンス要素の他方の電極との間で逆バイアス電圧が印加される様に設定する逆バイアス印加手段を作動させる駆動手段を有するエレクトロ・ルミネセンス装置に、第2の特徴を有し、第3に、複数の行及び列に沿って配置したスイッチング素子、行毎に、行上の複数のスイッチング素子の第1端子を共通に接続した第1配線、列毎に、列上の複数のスイッチング素子の第2端子を共通に接続した第2配線、及びスイッチング素子の各第3端子毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、並びに前記複数の行のうち少なくとも1つの行を選択する走査選択パルスを、その選択された行に対応する第1配線に印加し、走査選択信号に同期させて第2配線に情報に応じ、エレクトロ・ルミネセンス体に対して順バイアス状態を生じさせる情報信号パルスを、第2配線毎に印加し、前記選択された行に対応する第1配線への次の走査

センス装置に、第1の特徴を有し、第2に、複数の行及び列に沿って配置した第1薄膜トランジスタ、行毎に、行上の複数の第1薄膜トランジスタのゲートを共通に接続した第1配線、列毎に、列上の複数の第1薄膜トランジスタのソースを共通に接続した第2配線、第1薄膜トランジスタの各ドレイン毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス要素、該ドレインと該エレクトロ・ルミネセンス要素の一方の電極との間に設けられ、ゲートで接続した第2薄膜トランジスタ、各ドレイン毎に接続したコンデンサ、エレクトロ・ルミネセンス要素の一方の電極と第2薄膜トランジスタのドレイン端子との間に設けた第1スイッチング素子、エレクトロ・ルミネセンス要素の一方の電極に接続した第3配線、該第3配線中に設けた第2スイッチング素子、並びに、所定行の第1配線に第1薄膜トランジスタをオンとするための第1オン信号パルスを印加し、他行の第1配線に第1薄膜トランジスタをオフとするための第1オフ信号パルスを印加し、第1オン信号パルスに同期させて第2配線に情報に応じた順バイアスの情報信号パルスを印加し、前記所定行のための第1オン信号パルス印加時、その前で、又はその後で第1スイッチング素子をオンとするための第2オン信号パルスを第1スイッチング素子の制御線に所定期間にわたって印加し、これによって、該行上の各エレクトロ・ルミネセンス体への書き込みを作動させ、そして、該所定期間に第1スイッチング素子をオフとするための第2オフ信号パルスを該制御線に印加し、該第2オフ信号パルス印加時、その前で、又はその後で第2スイッチング素子をオンとするための第3オン信号パルスを第3スイッチング素子の制御線に印加し、これによって、前記第3配線とエレクトロ・ルミネセンス要素の他方の電極との間で逆バイアス電圧が印加される様に設定する逆バイアス印加手段を作動させる駆動手段を有するエレクトロ・ルミネセンス装置に、第2の特徴を有し、第3に、複数の行及び列に沿って配置したスイッチング素子、行毎に、行上の複数のスイッチング素子の第1端子を共通に接続した第1配線、列毎に、列上の複数のスイッチング素子の第2端子を共通に接続した第2配線、及びスイッチング素子の各第3端子毎に接続した一方の電極、他方の電極及び一方と他方との電極間に設けたエレクトロ・ルミネセンス体を有するエレクトロ・ルミネセンス要素、並びに前記複数の行のうち少なくとも1つの行を選択する走査選択パルスを、その選択された行に対応する第1配線に印加し、走査選択信号に同期させて第2配線に情報に応じ、エレクトロ・ルミネセンス体に対して順バイアス状態を生じさせる情報信号パルスを、第2配線毎に印加し、前記選択された行に対応する第1配線への次の走査

態を生じさせるバイアス電圧を、第3配線を通して、該エレクトロ・ルミネセンス体に印加する駆動手段を有するエレクトロ・ルミネセンス装置に、第3の特徴を有する。

【0009】前記エレクトロクロミック体としては、青色、緑色及び赤色の三原色を発光する媒体であつて、有機エレクトロ・ルミネセンス体が好ましい。

【0010】前記接着性電気接続体としては、導電性粒子を接着剤中に分散含有させ、特にシランカップリング剤を含有させたものが好ましい。

【0011】前記接着性電気接続体の外周部には、接着性電気絶縁体を配置した接着構造を採用するのが好ましい。

【0012】前記薄膜トランジスタは、ポリシリコン半導体、結晶シリコン半導体、微結晶シリコン半導体又はアモルファスシリコン半導体を用いるのが好ましい。

【0013】前記エレクトロ・ルミネセンス体をはさむ一対の電極のうち、少なくとも一方の電極は、テクスチャ構造をもつZnO透明電極であるのが好ましい。

【0014】本発明の第6、第7及び第8の特徴によれば、アクティブマトリックス駆動において、エレクトロ・ルミネセンス要素に交流電圧を印加することを可能とし、これによって、特に、有機エレクトロ・ルミネセンス体の長期間にわたる連続発光時間を大幅に延長させることができた。

【0015】本発明で用いた所定期間は、一垂直走査期間（一フレーム期間又は一フィールド期間）の1/4～3/4の期間、好ましくは1/3～2/3の期間、特に最適には、約1/2の期間である。

【0016】本発明で用いた順バイアス電圧と逆バイアス電圧との時間平均電圧は、約零に設定されているのが好ましい。

【0017】

【発明の実施の形態】本発明を図面に沿つて説明する。以下、上記薄膜トランジスタを「TFT」と記載し、上記エレクトロ・ルミネセンス体を「EL」と記憶する。

【0018】図1は能動マトリックス4端子TFT-EL素子の概略図を示す。各画素の素子は2つのTFTと記憶コンデンサとEL素子とを含む。4端子方式の主な特徴はEL励起信号からのアドレッシング信号を分離する能力である。EL素子は論理TFT(T1)を介して選択され、EL素子に対する励起電力は電力TFT(T2)により制御される。記憶コンデンサはそれがいったん選択されたアドレスされたEL素子に励起電力を留めることを可能にする。斯くて回路はEL素子がアドレッシングに対して割り当てられた時間を無視して100%に近いデュティサイクルで動作することを許容する。

【0019】ゲートラインY₁、Y_{1..}は、好ましくは

レース走査またはノン・インタレース走査の何れであつてもよい。

【0020】ソース・ラインX₁、X_{1..}、X_{1..}は、好ましくは840本、1280本などの様に多数本数配線し、ゲートパルスと同期させて、映像データに応じて設定した電圧の情報信号パルスが印加される。

【0021】図中のRELは赤色発光EL、GELは緑色発光EL、BELは青色発光ELで、ソースラインX_{1..}には赤色の情報信号パルス、X_{1..}には緑色情報パルス、X_{1..}には赤色情報パルスが印加される。これによってフルカラー表示が行なわれる。

【0022】図2は、本発明のTFT基板3の代表例を示す平面図である。TFT1は図1のT1に対応し、TFT2は図1のT2に対応し、コンデンサ21は図1のCsに対応し、ドレイン電極パッド22は図1の各EL毎のT₁のドレイン接続電極に対応している。

【0023】図3は、図2のA-A'断面図である。図4は、図2のB-B'断面図である。

【0024】本発明で用いたTFT1及びTFT2としては、ソースバス24をn₊ポリシリコンに接続し、ドレインをn₊ポリシリコンに接続し、I型ポリシリコン膜をはさんで配置したゲート絶縁膜にPECVD（プラズマ增强CVD）-SiO₂膜32を配置し、ゲートバスをn₊ポリシリコンに接続したトランジスタ構造を採用した。

【0025】本発明は、上述したトランジスタ構造に限定されることなく、アモルファスシリコンや微結晶シリコン半導体を用いたスタガー構造又はコプレナー構造の何れをも適用することができる。

【0026】また、本発明は、結晶シリコンを用いたSiO₁（シリコン・オン・インシュレータ）構造のMOSトランジスタに適用することができる。

【0027】コンデンサCsは、図4の一対のコンデンサ電極41と42及び該一対のコンデンサ電極間に設けたSiO₂膜33によって形成される。コンデンサ電極は、A1等によって成膜され、グランドバス25と接続配線され、コンデンサ電極42はn₊ポリシリコン膜によって成膜され、TFT2のドレインに接続される。

【0028】ゲートバス23及びソースバス24は、クロム/アルミ積層配線が好ましく用いられる。

【0029】バシベーション34としては、プラズマCVDによってチッ化シリコン膜が適している。

【0030】ドレイン電極パット22としては、反射性能を持たせるために、アルミニウム、銀などの金属膜を用いることができるが、ITOやZnOの様な透明導電膜であつてもよい。

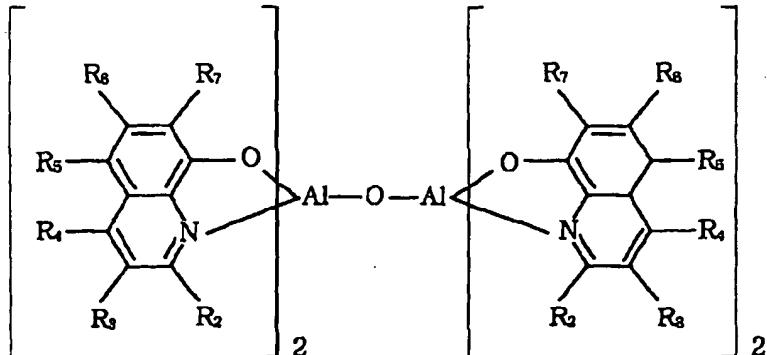
【0031】図5は、本発明で用いたEL基板6の平面図で、図6は、図5のC-C'断面図である。

面を形成するアルミニウムなどのEL電極パッド62及び該一対の電極間に設けたELによって構成される。

【0033】EL52としては、有機ELが好ましく、特にREL、GEL及びBELを構成するものが配置される。

【0034】具体的なREL、GEL及びBELを下記に列挙するが、本発明はこれらに限定されるものではなく、また有機ELの代わりに無機ELを適用することもできる。

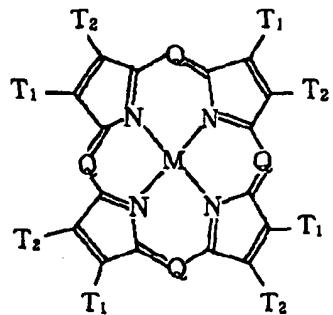
【0035】本発明の有機ELでの材料は、Scozz 10 afavaのEPA349, 265 (1990) ; Tangのアメリカ特許第4, 356, 429号; Van Slyke等のアメリカ特許第4, 539, 507号; Van Slyke等のアメリカ特許第4, 720, 432; Tang等のアメリカ特許第4, 769, 292号; Tang等のアメリカ特許第4, 885, 211号; Perry等のアメリカ特許第4, 950, 950; Littman等のアメリカ特許第5, 059, 861号; Van Slykeのアメリカ特許第5, 047, 687号; Scozzafava等のアメリカ特許第5, 073, 446号; Van Slyke等のアメリカ特許第5, 059, 862号; Van Slyke等のアメリカ特許第5, 061, 617号; Van Slykeのアメリカ特許第5, 151, 629号; Tang等のアメリカ特許第5, 294, 869号; Tang等のアメリカ特許第5, 294, 870号) に開示のものを用いることができる。EL層は陽極と接触する有機ホール注入及び移動層と、有機ホール注入及び移動層と接合を形成する電子注入及び移動層とからなる。ホール注入及び移動層は単一の材料又は複数の材料から形成され、陽極及び、ホール注入層と電子注入及び移動層の間に介装される連続的なホール移動層と接触するホール注入層からなる。同様に電子注入及び移動層は単一材料又は複数の材料から形成され、陽極及び、電子注入層とホール注入及び移動層の間に介装される連続的な電子移動層と接触する電子注入層からなる。ホールと電子の再結合とルミネセンスは電子注入及び移動層とホール注入及び移動層の接合に隣接する電子注入及び移動層内で発生す



る。有機EL層を形成する化合物は典型的には蒸着により堆積されるが、他の従来技術によりまた堆積される。

【0036】好ましい実施例ではホール注入層からなる有機材料は以下のような一般的な式を有する：

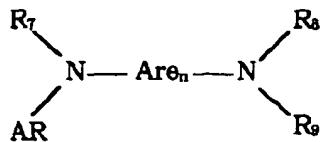
【外1】



【0037】ここで：QはN又はC-R
Mは金属、金属酸化物、又は金属ハロゲン化物
T1、T2は水素を表すか又はアルキル又はハロゲンの
ような置換基を含む不飽和六員環を共に満たす。好まし
いアルキル部分は約1から6の炭素原子を含む一方でフ
エニルは好ましいアリル部分を構成する。

【0038】好ましい実施例ではホール移動層は芳香族
第三アミンである。芳香族第三アミンの好ましいサブク
ラスは以下の式を有するテトラアリルジアミンを含む：

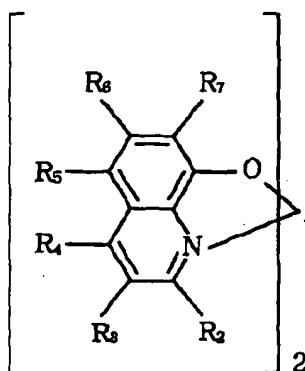
【外2】



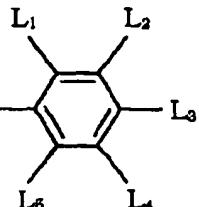
【0039】ここでAreはアリレン群であり、nは1
から4の整数であり、Ar, R1, R2, R3, R4はそれぞ
れ選択されたアリル群である。好ましい実施例ではルミ
ネセンス、電子注入及び移動層は金属オキシノイド (o
x i n o i d) 化合物を含む。金属オキシノイド化合物
の好ましい例は以下の一般的な式を有する：

【外3】

以下の式を有する：



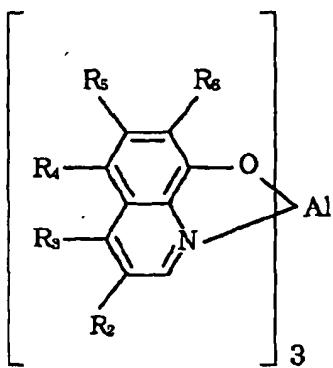
【外4】



【0041】ここでR₁ - R₇は上記で定義されたものであり、L₁ - L₅は集中的に12又はより少ない炭素原子を含み、それぞれ別々に1から12の炭素原子の水素又は炭水化物群を表し、L₁、L₂は共に、又はL₂、L₃は共に連合されたベンゾ環を形成しうる。他の好ましい実施例では金属オキシノイド化合物は以下の式である。

【0042】

【外5】



【0043】ここでR₁ - R₆は水素又は他の置き換え可能性を表す。上記例は単にエレクトロルミネセンス層内で用いられるある好ましい有機材料を表すのみである。それらは本発明の視野を制限することを意図するものではなく、これは一般に有機エレクトロルミネセンス層を指示するものである。上記例からわかるように有機EL材料は有機リガンドを有する配位化合物を含む。

【0044】次のプロセス段階ではEL陽極62はデバイスの表面上に堆積される。EL陽極はどのような導電性の材料でも良いが、好ましくは4eV以下の仕事関数を有する材料で作られる（Tang等のアメリカ国特許等4885211号を参照）。低い仕事関数材料は陽極に好ましい。何故ならばそれらは電子移動層内に容易に電子を放出するからである。最も低い仕事関数の金属はアルカリ金属であるが、しかしながらそれらの空気中の不安定性はそれらの使用をある条件下で実際的でなく

20

に対して特に好ましい材料は10:1（原子比で）マグネシウム：銀合金であることが見いだされた。好ましくは陽極は表示パネルの全表面にわたる連続層として適用される。他の実施例ではEL陽極は有機電子注入及び移動帯に隣接した低い仕事関数の金属のより低い層からなり、低い仕事関数の金属をオーバーレイし、低い仕事関数の金属を酸素及び湿度から保護する保護層とからなる。

20

【0045】典型的には陽極材料は不透明であり、陰極材料は透明であり、それにより光は陰極材料を通して透過する。光透過と技術的伝導性の実際的なバランスは典型的には5-25nmの範囲の厚さである。

【0046】また、本発明では、EL基板6に用いたガラス基板61に代えて、プラスチックフィルムを用いることができ、また透明電極51としてITO、ZnOを用いることができる。

30

【0047】透明電極51は、EL52の表面積を増大させるために、その表面を微細な凹凸をもつテクスチャ構造を採用することができる。好適なテクスチャ構造を形成するためには、ZnOを堆積する時の基板温度を250°C-300°Cの様な比較的高温度とした条件下でのスパッタ法を用いることができる。

40

【0048】また、透明電極51の非EL52領域は、遮光マスク（図示せず）を設けることができる。この際の遮光マスクとしては、アルミニウム膜、クロス膜の様な金属膜、またはこれら金属膜による反射光の発生を防止するための酸化クロム膜や酸化アルミニウム膜を単独で、あるいは金属膜に積層させて設けることができる。金属膜は透明電極51の抵抗を実質的に低下させるので、透明電極51の上に金属膜を積層し、さらにこの上に酸化金属膜を設けるのが好ましい。

【0049】透明電極51は、本発明のEL素子に駆動中は、アースまたは所定のDC電圧に設定される。

【0050】図7は、本発明のEL素子の断面図である。EL素子は、TFT基板3とEL基板6とが互いに対向し、これによってEL基板6側のEL電極パッド6

電気的な接続を行なう。

【0051】接着性電気接続体71は、エポキシ系又はフェノール系熱硬化接着剤中にカーボン粒子、銀粒子や銅粒子の様な導電性粒子が分散含有された導電性接着剤を用い、これをスクリーン印刷法、オフセット印刷法又はディスペンサー塗布法などの採用によって、EL基板6またはTFT基板3、あるいはその両方の所定位置に塗布し、乾燥させることによって得られる。

【0052】上述の導電性接着剤中には、界面接着力を増強するために、N-(2-アミノエチル)-3-アミノプロピルメチルジメトキシシラン、N-(2-アミノエチル)-3-アミノプロピルトリメトキシシラン、3-アミノプロピルメチルジエトキシシラン、3-グリシドキシプロピルトリメトキシシランなどのシランカップリング剤を含有させることができる。

【0053】接着性電気接続体71の他の例としては、ハンダなどが挙げられる。

【0054】上述の接着性電気接続体71の外周部には、接着性電気絶縁体72が設けられる。接着性電気絶縁体72は、エポキシ系又はフェノール系絶縁接着剤をEL基板6またはTFT基板、あるいはその両方の所定位置に、オフセット印刷法、スクリーン印刷法又はディスペンサー塗布法などの方法によって、塗布し、乾燥させることによって得られる。この際、絶縁接着剤及び導電性接着剤の塗布に当って、EL基板6またはTFT基板3の一方の基板に対して絶縁接着剤を設け、この絶縁接着剤を設けていない方の基板に対して導電性接着剤を設ける製造方法を用いるのが好適である。

【0055】また、本発明では、上述の接着性電気絶縁体72に代えて、接着力を持っていない絶縁体、例えば有機溶媒、特に高沸点有機溶媒やネマチック液晶、コレステリック液晶、スマートチック液晶の様な液晶などの液体絶縁体を用いることもできる。

【0056】また、上述の接着性電気絶縁体72または非接着性電気絶縁体には、遮光硬化を併せ持つ様に、着色顔料や塗料などの着色体を含有させることもできる。

【0057】本発明のEL素子の製造に当って、TFT基板3のドレイン電極パッド22の上に導電性接着剤を例えばオフセット印刷法を用いて塗布し、EL基板6のEL電極パッド62以外の領域(EL電極パッド62の外周部)に絶縁接触剤を例えばオフセット印刷法を用いて塗布し、ドレイン電極パッド22とEL電極パッド62とが相対向する様に、TFT基板3とEL基板6とを重ね合せ、次いでTFT基板3とEL基板6との間隔の空気を通常の方法で排気し、両基板3と6とに対し圧着加熱を付加し、密着固定する方法を採用することができる。

を重ね合せた状態で、ステージ81の上に載置し、周囲に配置固定された一対O-リング82と83との間にプラスチックフィルムなどのシート83によって、図示の如く覆い、かかる後に真空排気ポンプ84を作動させ、シート83内の空気を排気する。

【0059】図9は、本発明の別のEL素子の等価回路である。

【0060】図10及び11は、本発明の第6、第7及び第8の特徴事項に対応する実施例である。

【0061】G₁、G₂、…G_n(n本のゲート走査線)は、薄膜トランジスタで構成したスイッチング素子Tr₁のゲートに接続したゲート線に、順次印加するゲートオンパルス(ハイ・レベル電圧)であって、このゲートオンパルスの順次印加によって、書き込み行の選択がなされる。この走査選択信号となるゲートオンパルスG₁、G₂、…G_nは、インターレース走査方式による印加であってもよく、ノン-インターレース走査方式による印加であってもよい。また、インターレース走査方式による駆動のときには、1本飛越し、又は2本以上の飛越しによるインターレース走査であってもよい。

【0062】S₁₁、S₁₂、…S_{1n}は、ELの発光時間を制御するための制御パルスであり、所定発光期間中に、薄膜トランジスタで構成したスイッチング素子Tr₁のゲートに印加され、G₁、G₂、…G_nのゲートオンパルス(ハイ・レベル電圧)の印加時、又はその前で、又はその後で、印加され、この時のELは、順バイアス状態に設定される。

【0063】S₂₁、S₂₂、…S_{2n}は、ELの発光を中断させ、その代わりに、バイアス制御線RB₁、RB₂…PB₂からELに対して逆バイアスを印加するために、スイッチング素子Tr₂へのゲートオフパルス(ロー・レベル電圧)の印加時、又はその前で、又はその後で、薄膜トランジスタで構成したスイッチング素子Tr₂のゲートに対して、ゲートオンパルス(ハイ・レベル電圧)として印加される。

【0064】バイアス制御線RB₁、RB₂…PB₂は、図12に図示する様に、EL基板6に設置するのが良い。この際、バイアス制御線RB₁、RB₂…PB₂は、アクティブマトリクス駆動素子となる複数のスイッチング素子Tr₁の各行に対して、平行にさせた透明電極511、512…51nを設け、各透明電極511、512…51n毎に、ゲートアレイ121を通して、独立にアース及び逆バイアス電圧V₁の何れか一方に切換えるように設定する。これによって、EL発光時には、ELが順バイアス状態となるように電位設定させて駆動する。

【0065】図10のD₁、D₂、D₃、D₄、…D_m(m本の情報線)は、列上のスイッチング素子Tr₁のソ

イアス状態を設定する。

【0066】本発明の第6、第7及び第8の特徴事項によれば、各ELには、交流電圧が印加され、連続長時間発光の表示を実現できた。

【0067】本発明は、発光表示層に適用するのが適しているが、電子写真プリンタ用光信号発生器として用いられているレーザ信号又はLED信号や液晶シャッタアレイ信号(固体スキャナ信号)に代えて、使用することもできる。

【0068】

【発明の効果】本発明によれば、高精細で、且つ高密度で、長寿命のEL画素を大面积に亘って、高い生産性をもって得ることができた。

【0069】また、本発明によれば、高輝度のEL発光を得ることができ、高精細で、高密度でしかも長時間連続高輝度発光のELカラーディスプレイを高い生産性に基いて、EL素子を得ることができた。

【0070】さらに、本発明によれば、衝撃に対する安定性、長期間の使用における表示安定性を実現したELカラーディスプレイを得ることができた。

【図面の簡単な説明】

【図1】本発明のEL素子の等価回路図である。

【図2】本発明のEL素子で用いたTFT基板側におけるEL画素の平面図である。

【図3】図2のA-A'断面図である。

【図4】図3のB-B'断面図である。

【図5】本発明のEL素子で用いたEL基板側におけるEL画素の平面図である。

【図6】図5のC-C'断面図である。

【図7】本発明のEL素子の断面図である。

【図8】本発明の方法で用いた真空排気装置の断面図である。

【図9】本発明の別のEL素子の等価回路図である。

【図10】本発明のEL装置の別の実施例で用いた等価回路図である。

【図11】本発明で用いた駆動のタイミングチャート図である。

【図12】本発明で用いたEL基板の平面図である。

【符号の説明】

T1 第1薄膜トランジスタ

T2 第2薄膜トランジスタ

Cs コンデンサ

REL 赤色発光EL

GEL 緑色発光EL

10 BEL 青色発光EL

21 コンデンサ

22 ドレン電極パッド

23 ゲートバス

24 ソースバス

25 グランドバス

3 TFT基板

31 ガラス基板

32 PECVD膜

33 SiO₂膜

20 34 パシベーション膜

41, 42 コンデンサ電極

6 EL基板

51, 511, 512, 51n 透明電極

52 EL

61 ガラス基板

62 EL電極パッド

71 接着性電気接続体

72 接着性電気絶縁体

81 ステージ

30 82, 83 Oーリング

83 シート

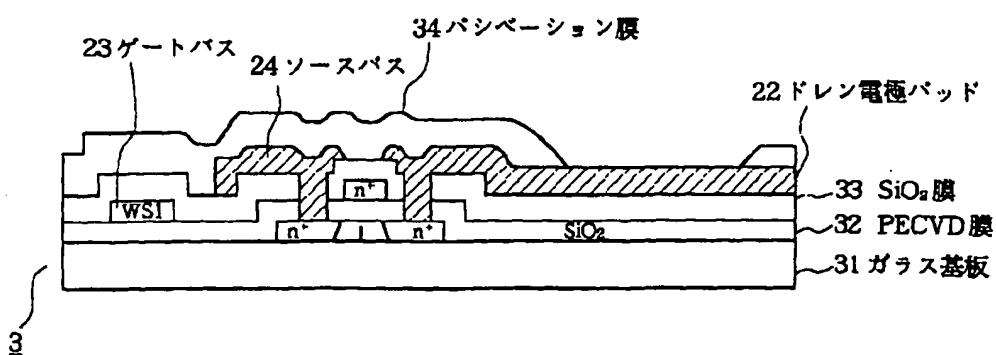
84 真空排気ポンプ

121 ゲートアレイ

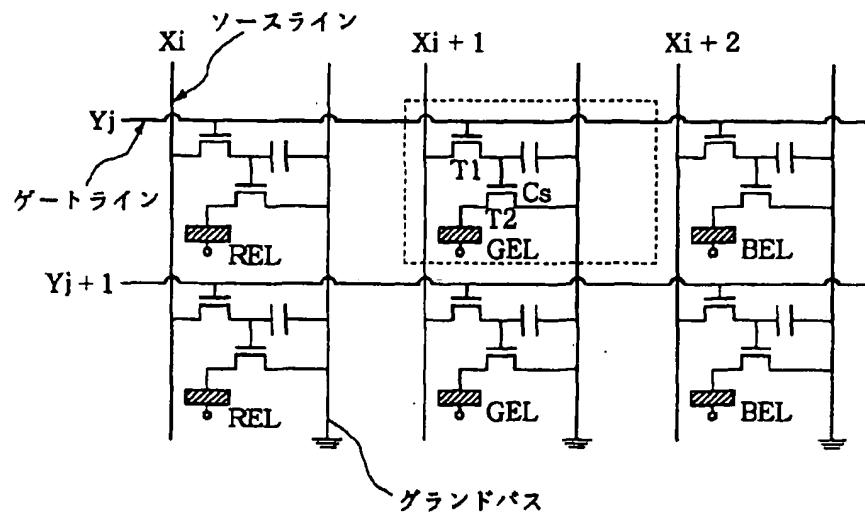
R B₁, R B₂, … P B_n バイアス制御線

V₁ 逆バイアス電位

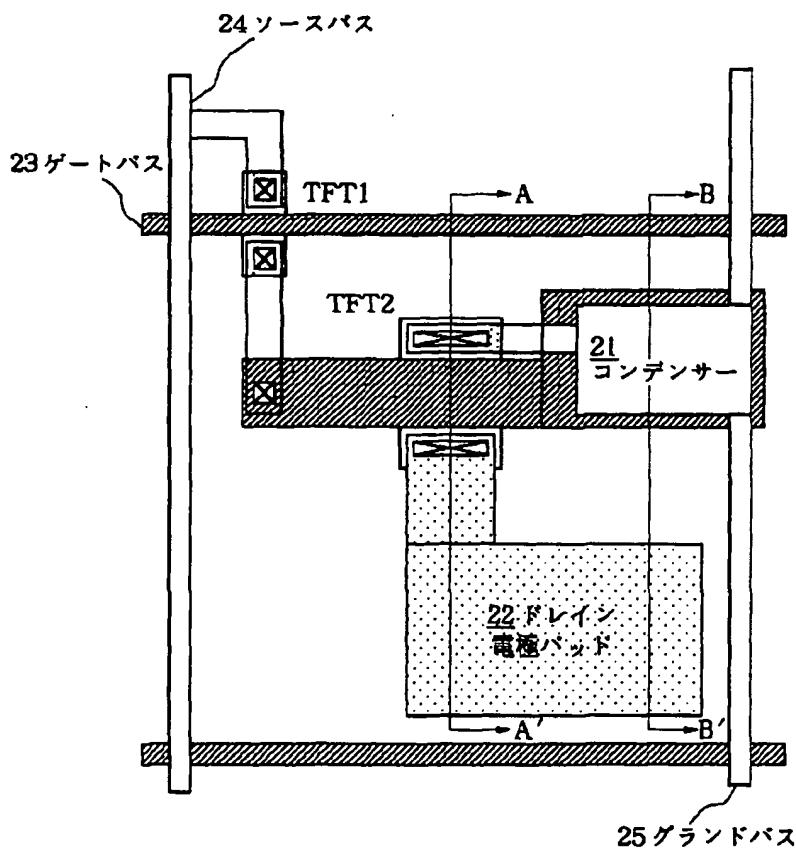
【図3】



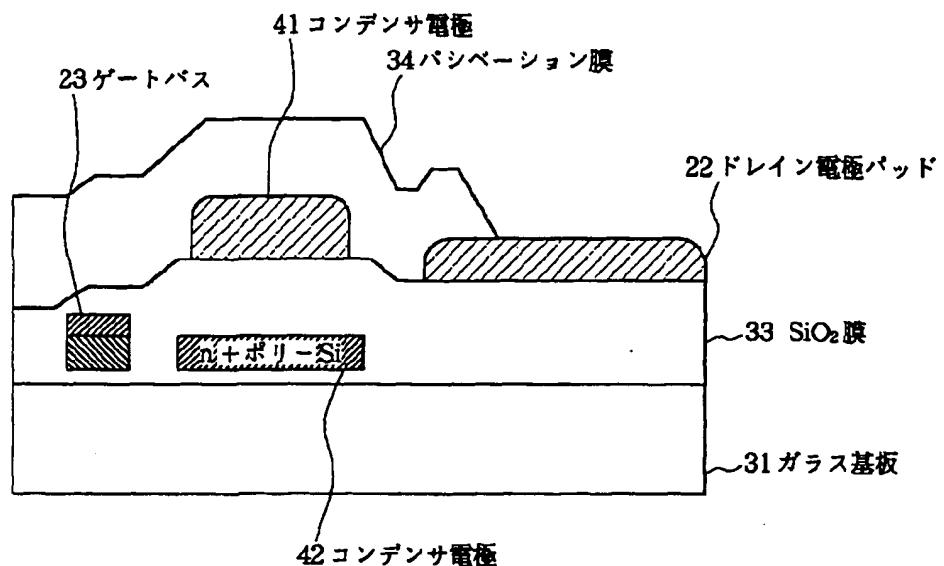
【図1】



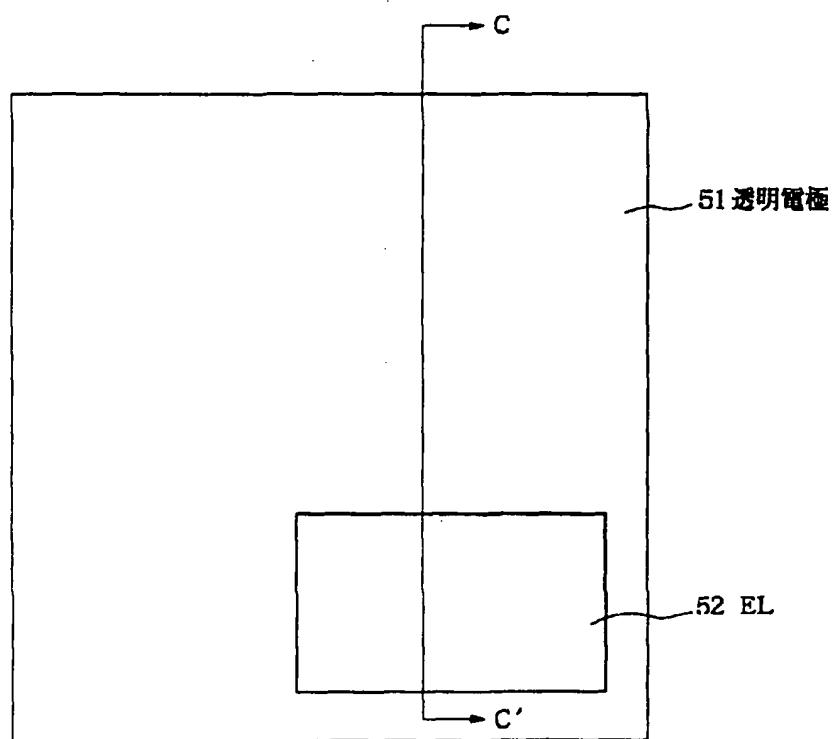
【図2】



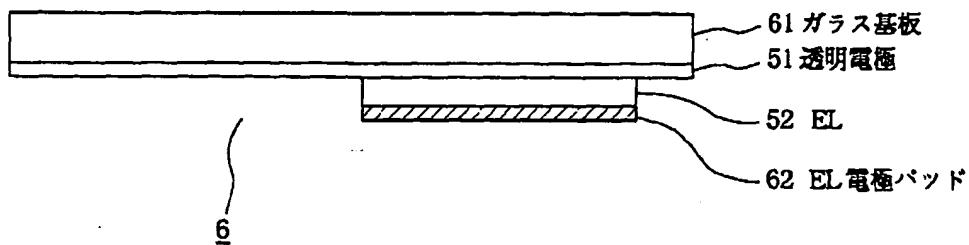
[図4]



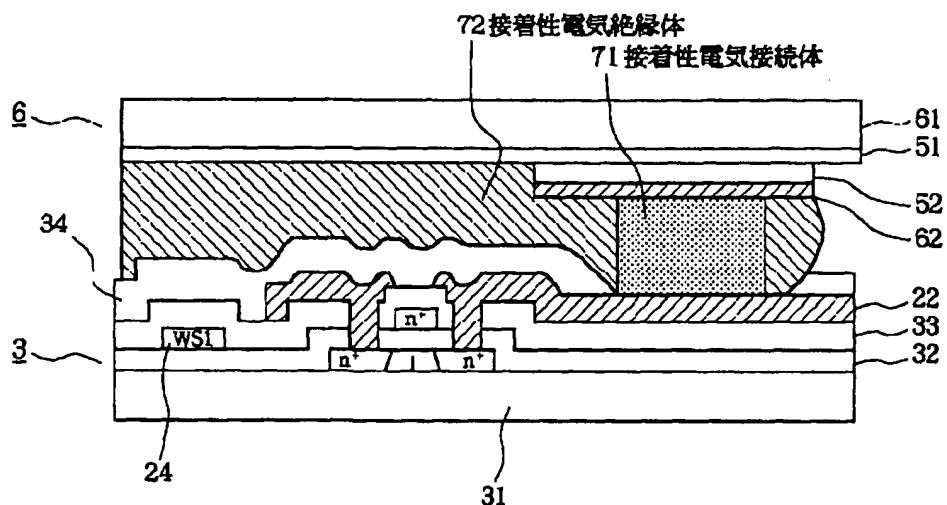
[図5]



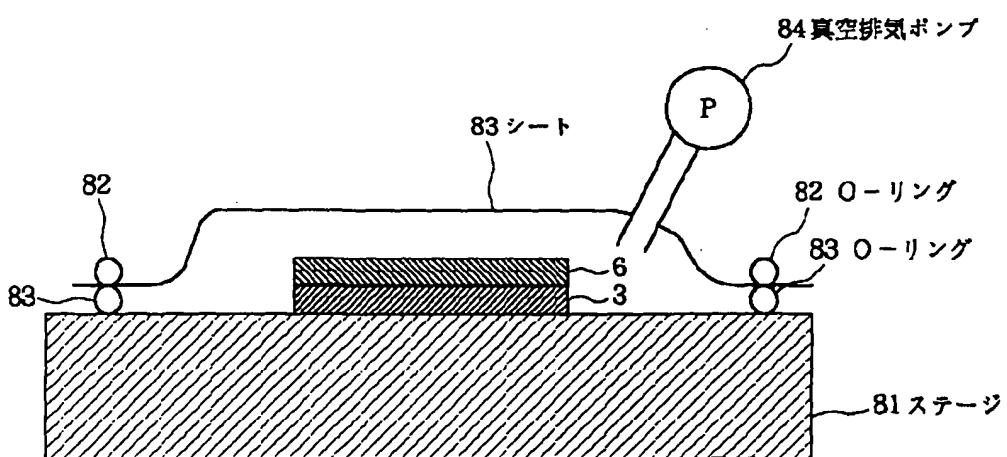
【図6】



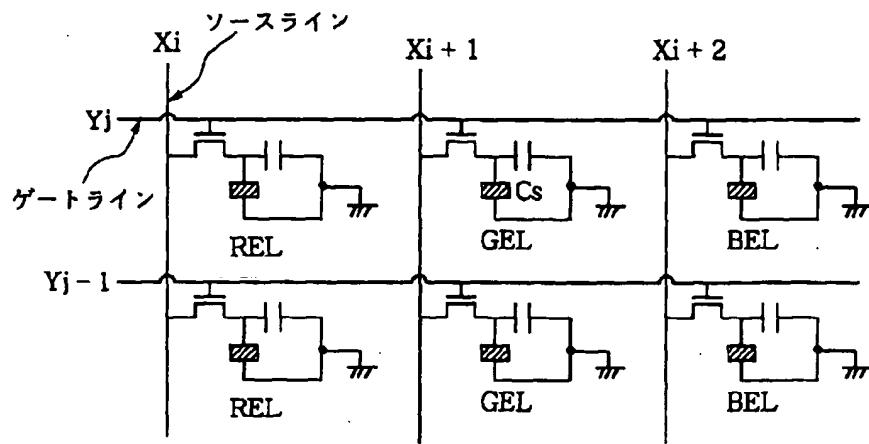
【図7】



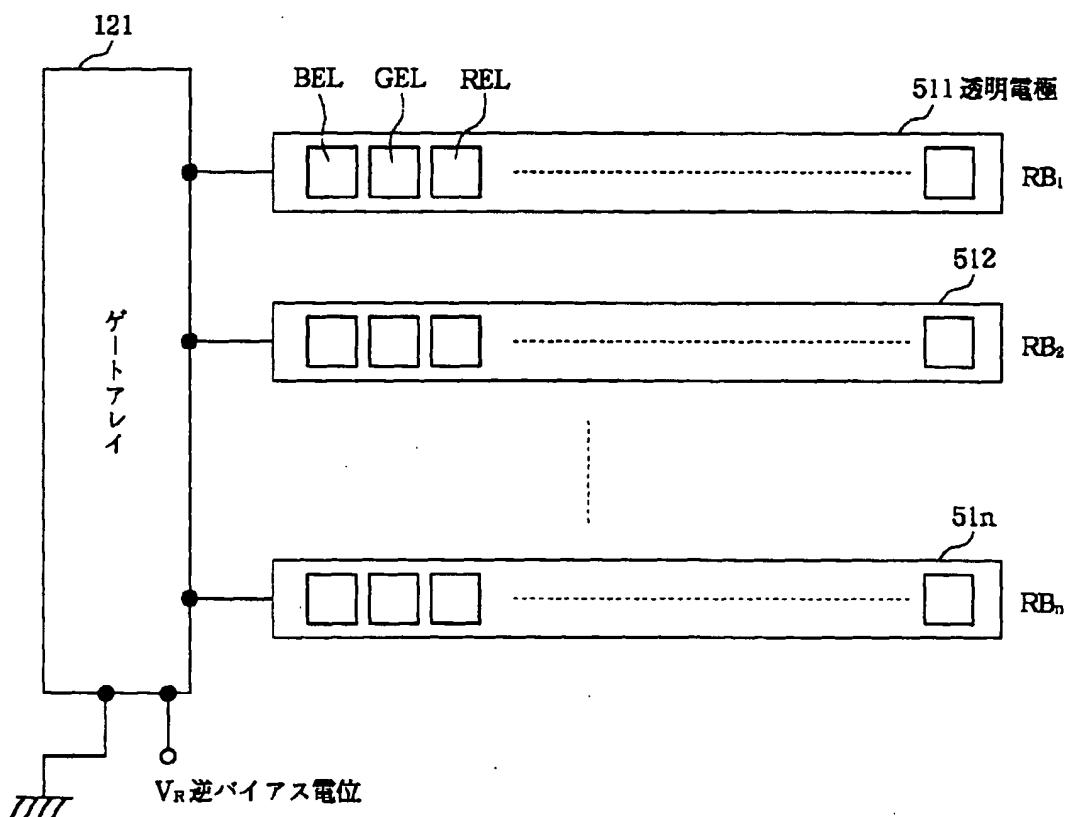
【図8】



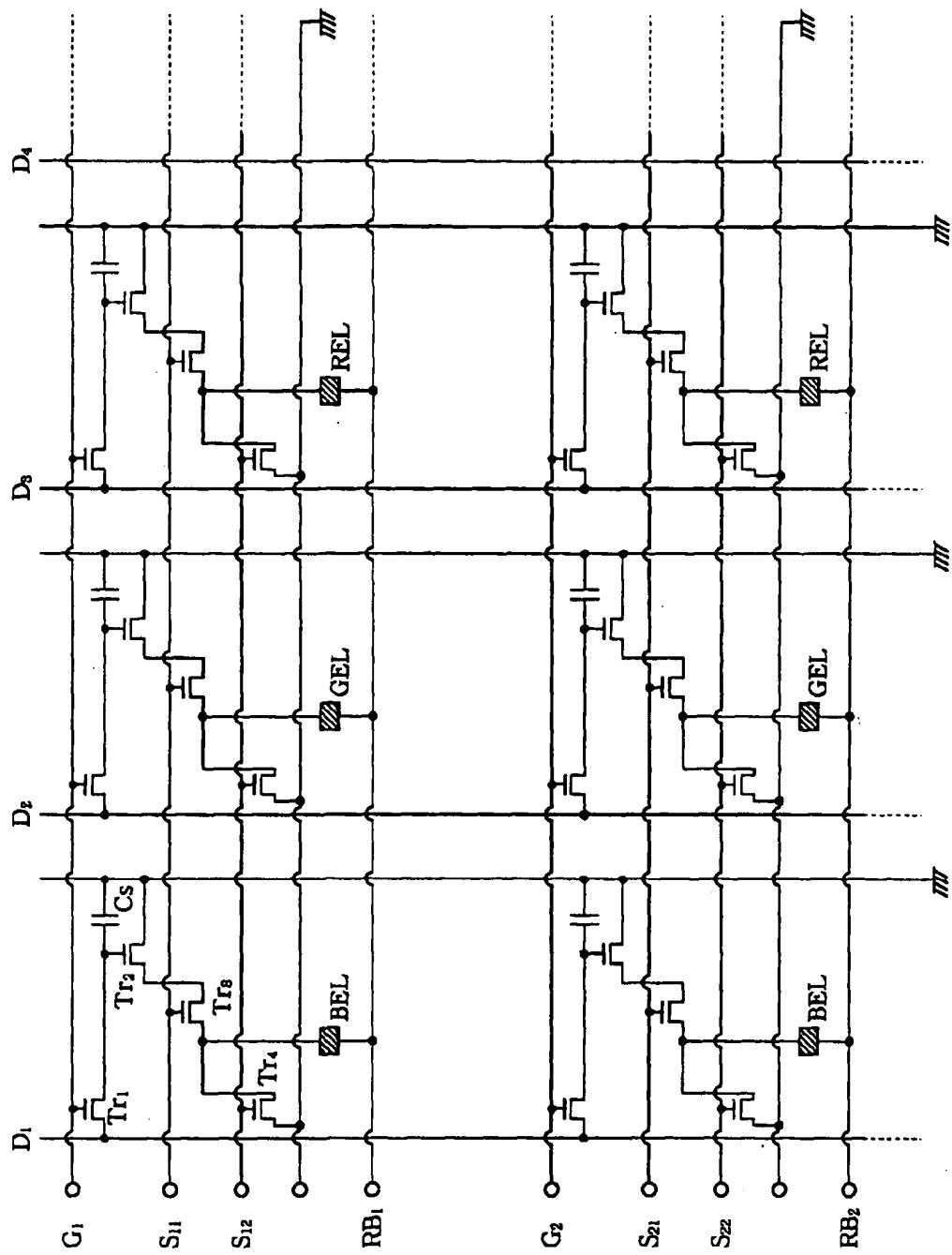
【図9】



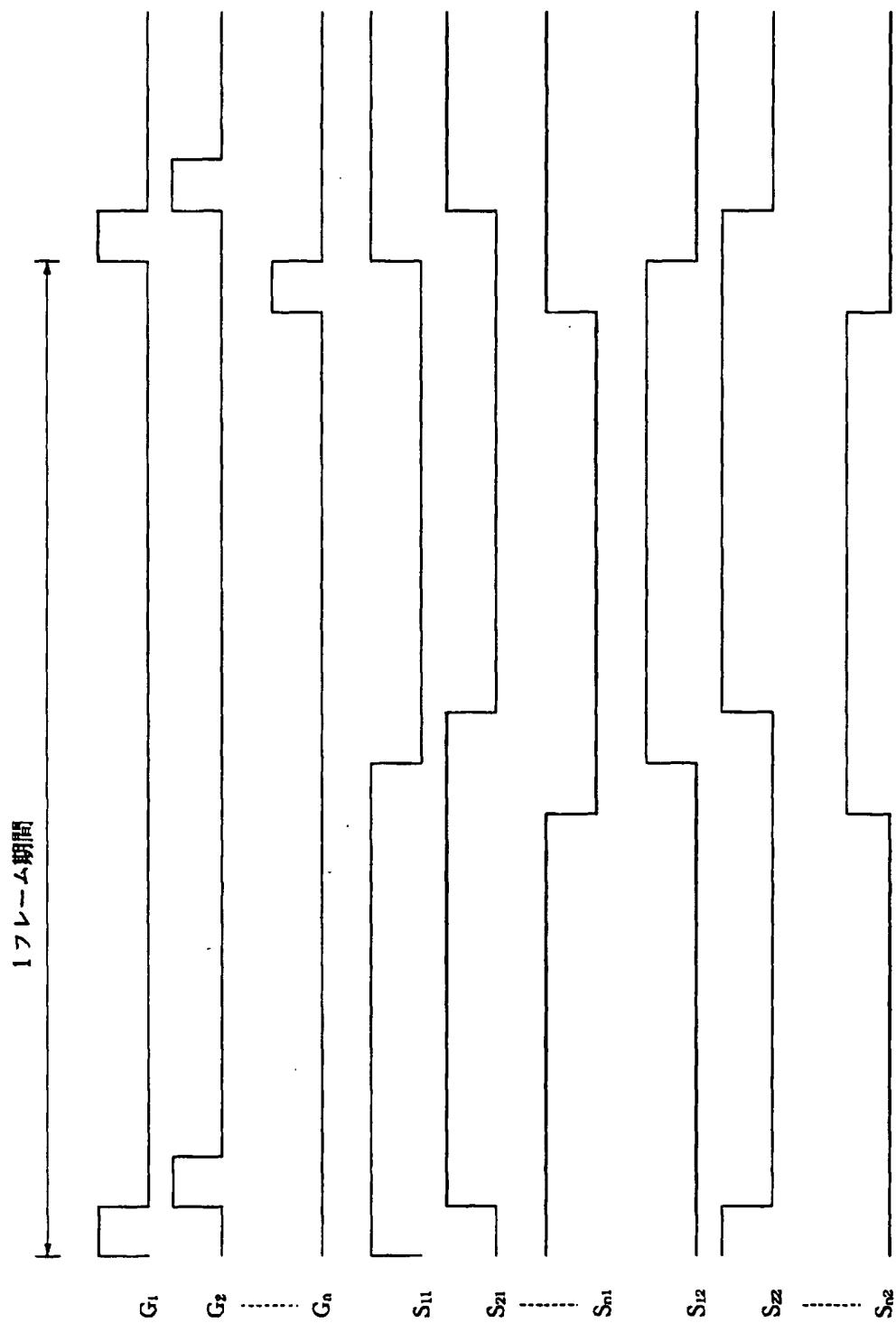
【図12】



【図10】



【図 11】



フロントページの続き

(72)発明者 上野 和則

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(72)発明者 橋本 雄一

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(72)発明者 妹尾 章弘

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

Fターム(参考) 3K007 AB04 AB11 AB17 AB18 BA06
BB07 CA01 CB01 CC05 DA01
DB03 EA01 EB00 FA02 GA02
GA04
5C080 AA06 BB05 CC03 DD28 DD29
EE29 EE30 FF11 FF12 JJ02
JJ03 JJ04 JJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.